

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

10798293

Basic Patent (No,Kind,Date): JP 4286370 A2 19921012 <No. of Patents: 002>

THIN FILM SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): TAKENAKA SATOSHI

IPC: *H01L-029/784; H01L-021/20; H01L-027/12

CA Abstract No: 118(12)114754J

Derwent WPI Acc No: C 92-386893

JAPIO Reference No: 170094E000033

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 4286370	A2	19921012	JP 9151260	A	19910315	(BASIC)
JP 3387510	B2	20030317	JP 9151260	A	19910315	

Priority Data (No,Kind,Date):

JP 9151260 A 19910315

CONSTITUTION: An amorphous Si film 1-2 is deposited on a quartz substrate 1-1 through a plasma CVD device. A chamber is cleaned with Freon before the amorphous Si film 1-2 is deposited, and the amorphous Si film 1-2 is thermally treated to discharge hydrogen from it. Then, the amorphous Si film 1-2 is made to grow in solid phase. At this point, an amorphous Si film whose fluorine content is smaller than $5 \times 10^{17} \text{ cm}^{-3}$ is annealed at a temperature of 600 deg.C for 16 hours into a silicon thin film 1-3 whose grain diameter is over 2.μm. In result, an excellent thin film transistor very small in OFF-state current can be realized.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-286370

(43) 公開日 平成4年(1992)10月12日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/20		9171-4M		
27/12	R	8728-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 F

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平3-51260

(22) 出願日 平成3年(1991)3月15日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 竹中敏

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

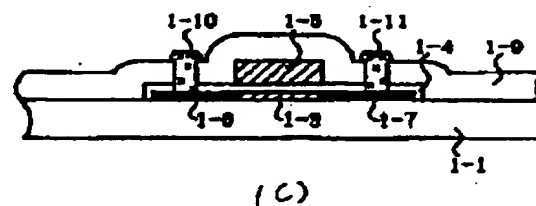
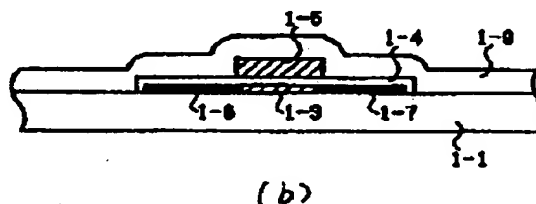
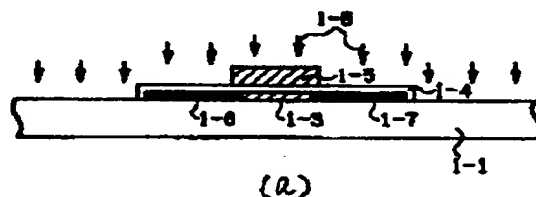
(54) 【発明の名称】 薄膜半導体装置

(57) 【要約】

【目的】 固相成長法の利点を最大限に利用して、結晶性の優れたシリコン薄膜を作成し、オフ電流の少ない薄膜トランジスタを実現する。

【構成】 不純物特に弗素の含有量が $5 \times 10^{17} \text{ cm}^{-3}$ 以下の非晶質シリコン薄膜を固相成長させることにより薄膜トランジスタを作成する。

【効果】 弗素等の不純物を含まないため、シリコン薄膜の結晶性がきわめて良好になる。その結果、オフ電流の極めて少ない薄膜トランジスタが実現される。



【特許請求の範囲】

【請求項1】 弗素の含有量が $5 \times 10^{17} \text{ cm}^{-3}$ 以下の半導体薄膜を能動領域として具備することを特徴とする薄膜半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、石英基板あるいはガラス基板のような絶縁性非晶質材料上に結晶性の優れた半導体薄膜を形成し、該半導体薄膜を能動領域に利用した優れた特性を有する薄膜半導体装置の製造方法に関する。

【0002】

【従来の技術】非晶質絶縁基板あるいは非晶質絶縁膜上に、結晶方位の揃った結晶粒径の大きな多結晶シリコン薄膜、あるいは単結晶シリコン薄膜を形成する方法は、SOI (Silicon On Insulator) 技術として知られている。{SOI構造形成技術、産業図書}。大きく分類すると、再結晶化法、エピタキシャル法、絶縁層埋め込み法、貼り合わせ法という方法がある。再結晶化法には、レーザーアニールあるいは電子ビームアニールによりシリコンを熔融再結晶化させる方法と、熔融する温度までは昇温させずに固相成長させる固相成長法の2つに分類される。比較的低温で再結晶化できるという点で固相成長法が優れている。550℃の低温熱処理にもかかわらずシリコン薄膜の結晶粒が成長したという結果も報告されている。{IEEE Electron Device Letters, vol. EDL-8, No. 8, p361, August 1987}。

【0003】プラズマCVDによって堆積させられた非晶質シリコン薄膜(a-Si)を固相成長させ、大粒径化したシリコン薄膜を用いて作成された薄膜トランジスタはオン電流がきわめて大きい。{Japanese Journal of Applied Physics Vol. 29, No. 12, p. L2380, 1990}

【0004】

【発明が解決しようとする課題】しかしながらプラズマCVD法で成膜されたa-Si膜は、不純物として弗素(F)を多く含むことがある。これはプラズマCVDのチェンバーをフレオン(CF₄)ガスプラズマによってクリーニングしてからa-Si膜をデポすると、チェンバー内に残留している弗素がa-Si膜中に取り込まれるからである。弗素はシリコンとの結合エネルギーが大きいので500~700℃程度のアニールではSi膜中に弗素が残る。従って弗素を多く含むSi膜には欠陥準位が多量に存在する。このようなSi膜を用いて作成された薄膜トランジスタはオン電流が低くオフ電流が高くなる。発明者が実験を行って調べたところ、弗素を $2 \times 10^{18} \text{ cm}^{-3}$ 含むa-Si膜を固相成長させて作成した

Nch薄膜トランジスタのオフ電流は、200~400 pAであった。これは非常に大きな値であり、例えば液晶パネルを作成した場合には表示ムラの原因となったり、消費電流の増大の原因となる。なお、弗素量はSIMS分析により調べた。この時のバックグラウンドレベルは $3 \times 10^{17} \text{ cm}^{-3}$ であった。

【0005】本発明は、以上述べたようなプラズマCVD a-Si膜を固相成長する場合に問題となる不純物、特に弗素による汚染を防ぎ、固相成長法の利点を最大限に発揮する薄膜半導体装置、及びその製造方法を提供することを目的としている。

【0006】

【課題を解決するための手段】本発明は、弗素の含有量が $5 \times 10^{17} \text{ cm}^{-3}$ 以下の半導体薄膜を能動領域として具備することを特徴とする。

【0007】

【実施例】(実施例1)本発明による弗素の少ないシリコン薄膜を用いて薄膜トランジスタを作成する工程に沿って実施例1を説明する。

【0008】絶縁性非晶質材料上に、非単結晶半導体薄膜を成膜する。前記絶縁性非晶質材料としては、石英基板、ガラス基板、窒化膜あるいはSiO₂膜等が用いられる。石英基板を用いる場合はプロセス温度は1200℃程度まで許容されるが、ガラス基板を用いる場合は、600℃以下の低温プロセスに制限される。本発明は、石英基板を用い、前記非単結晶半導体薄膜としてSi薄膜を用いた場合を実施例として説明する。プラズマCVD装置を用い、図1(a)に示すように石英基板1-1上に、SiH₄とH₂の混合ガスを、13.56MHzの高周波グロー放電により分解させて非晶質Si膜1-2を堆積させる。前記混合ガスのSiH₄分圧は10~20%、デポ中の内圧は0.5~1.5 torr程度である。基板温度は250℃以下、180℃程度が適している。赤外吸収測定より結合水素量を求めたところ約8 atomic%であった。前記非晶質Si膜1-2の堆積前のチェンバーをフレオン洗浄し、続いて堆積させられた非晶質Si膜は $2 \times 10^{18} \text{ cm}^{-3}$ の弗素を含んでいる。従って、本発明においては、前記フレオン洗浄後、ダミーの堆積を行ってから、実際の堆積を行う。あるいは、フレオン洗浄を廃止し、ピーズ処理等の別の方法でチェンバーの洗浄を行う。

【0009】続いて、該非晶質Si膜を、400℃~500℃で熱処理して水素を放出させる。この工程は、水素の爆発的な脱離を防ぐことを目的としている。

【0010】次に、前記非晶質薄膜1-2を固相成長させる。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。1×10⁻⁶から1×10⁻¹⁰ Torrの高真空雰囲気アニールを行ってもよい。固相成長アニール温度は500℃~

700℃とする。この様な低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。発明者の実験において、弗素の含有量が $5 \times 10^{17} \text{ cm}^{-3}$ 以下の非晶質シリコン膜を、アニール温度600℃、アニール時間16時間で固相成長させることにより2 μm 以上の大粒径シリコン薄膜が得られている。図1(b)において、1-3は固相成長シリコン薄膜を示している。

【0011】次に、前記固相成長シリコン薄膜をフォトリソグラフィ法によって図1(c)に示されているように島状にパターンニングする。

【0012】次に図1(d)に示されているように、ゲート酸化膜1-4を形成する。該ゲート酸化膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート酸化膜は、熱処理することによってより緻密で界面準位の少ない優れた膜となる。非晶質絶縁基板1-1として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがあるが、酸化温度は1000℃以上と高いが膜質が優れていることからdry酸化法の方が適している。

【0013】酸化膜形成後、ボロンをチャネルイオン注入してもよい。これは、Nch薄膜トランジスタのスレッショルド電圧がマイナス側にシフトすることを防ぐことを目的としている。前記非晶質シリコン膜のデポ膜厚が500~1500Å程度の場合は、ボロンのドーズ量は $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度が適している。

【0014】前記非晶質シリコン膜の膜厚が500Å以下の薄い場合にはボロンドーズ量を少なくし、目安としては $1 \times 10^{12} \text{ cm}^{-2}$ 以下にする。また、前記膜厚が1500Å以上の厚い場合にはボロンドーズ量を多くし、目安としては $5 \times 10^{12} \text{ cm}^{-2}$ 以上にする。

【0015】次に図1(e)に示されるように、ゲート電極1-5を形成する。該ゲート電極材料としては多結晶シリコン薄膜、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOやSnO₂などのような透明性導電膜などを用いることができる。成膜方法としては、CVD法、スパッタ法、真空蒸着法、プラズマCVD法等の方法があるが、ここでの詳しい説明は省略する。

【0016】続いて図2(a)に示すように、前記ゲート電極1-5をマスクとして不純物をイオン注入し、自己整合的にソース領域1-6およびドレイン領域1-7を形成する。前記不純物としては、Nchトランジスタを作製する場合はP⁺あるいはAs⁺を用い、Pchトランジスタを作製する場合はB⁺等を用いる。不純物添

加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。1-8で示される矢印は不純物のイオンビームを表している。前記絶縁性非晶質材料1-1として石英基板を用いた場合には熱拡散法を使うことができる。不純物濃度は、 1×10^{15} から $1 \times 10^{20} \text{ cm}^{-3}$ 程度とする。

【0017】続いて図2(b)に示されるように、層間絶縁膜1-9を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数 μm 程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス(NH₃)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

【0018】続いて、前記層間絶縁膜の緻密化と前記ソース領域及びドレイン領域の活性化と結晶性の回復を目的として活性化アニールを行う。活性化アニールの条件としては、N₂ガス雰囲気中で1000℃30分程度でよい。結晶性をさらに改善して薄膜トランジスタのオフ電流を低減したい場合は、前記活性化アニールを900℃程度に低温化し、アニール時間を1~10時間程度に長くすることが効果的である。または、はじめに500~700℃で1~20時間程度のアニールにより結晶性を十分に回復させた後、900~1000℃の高温で活性化させるという2段階活性化アニール法も効果がある。また、赤外線ランプやハロゲンランプを用いたRTA(Rapid Thermal Annealing)法も効果がある。さらには、レーザービーム等を用いたレーザー活性化法を利用することができる。

【0019】次に、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、ゲート酸化膜界面などに存在するダングリングボンドなどの欠陥が不活性化される。この様な水素化工程は、層間絶縁膜1-9を積層する前におこなってもよい。または、後に述べる、ソース電極とドレイン電極を形成してから前記水素化工程を行ってもよい。次に図2(c)に示すように、前記層間絶縁膜1-9及びゲート絶縁膜1-4にコンタクトホールを形成し、コンタクト電極を形成しソース電極1-10およびドレイン電極1-11とする。該ソース電極及びドレイン電極は、アルミニウムあるいはクロムなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。

【0020】

【発明の効果】以上説明したように、プラズマCVDによって成膜された非晶質Si膜は多い場合は数10%の水素を含んでいる。そして、薄膜トランジスタ特性の解析やSIMS分析等の結果より、非晶質Si膜中に含まれる不純物特に弗素混入が、固相成長を阻害しているこ

とが分かった。

【0021】本発明においては、含有弗素の量が $5 \times 10^{17} \text{ cm}^{-3}$ 以下の非晶質シリコン薄膜を固相成長させるので欠陥準位の少ないシリコン薄膜を得ることができる。その結果オフ電流の非常に少ない優れた薄膜トランジスタを実現することができた。従来のように弗素の制御を行わず、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度も含んでいる非晶質シリコン薄膜を固相成長させて作成した薄膜トランジスタのオフ電流は非常に大きい。図3に、発明者が実験した結果を示して本発明の効果を説明する。図3は、Nch薄膜トランジスタの特性図である。横軸はゲート電圧、縦軸はドレイン電流を示している。破線は弗素を $2 \times 10^{18} \text{ cm}^{-3}$ も含んでいる非晶質シリコン薄膜を固相成長させて作成された従来の薄膜トランジスタの特性を示し、実線は弗素含有量が $5 \times 10^{17} \text{ cm}^{-3}$ 以下の非晶質シリコン薄膜を固相成長させて作成された本発明による薄膜トランジスタの特性を示している。なお、測定条件は同一とした。本発明によりオフ電流が1桁以上も低減することが明かである。

【0022】含有不純物のきわめて少ない非晶質シリコン薄膜を固相成長させるので、固相成長のアニール温度が600℃程度の低温でも結晶核発生に長時間アニールを必要とせず、潜伏時間を非常に短くすることが可能となる。アニール温度が低ければ核発生密度が小さくなり、最終的に非常に大きな結晶粒径のSi膜が得られる。従って、本発明は、固相成長に要する時間を大幅に短縮させるばかりでなく、大粒径のSi膜を形成することに対して極めて大きな効果がある。

【0023】1～2時間という非常に短時間で大粒径のSi膜が得られるので、薄膜トランジスタを作成する場合の工程時間の短縮化、及びスループットの向上、ひいてはコストダウンに対して本発明は極めて大きな効果がある。

【0024】非晶質絶縁基板上に結晶性の優れたシリコン薄膜を作製することが可能になったのでSOI技術の発展に大きく寄与するものである。フォト工程数はまったく増えない。600℃以下の低温のプロセスでも作製が可能なので、価格が安くて耐熱温度が低いガラス基板をもちいることができる。優れたシリコン薄膜が得られるのにもかかわらずコストアップとはならない。

【0025】本発明によって得られた大粒径多結晶シリコン薄膜を用いて薄膜トランジスタを作成すると、優れた特性が得られる。従来に比べて、薄膜トランジスタのON電流は増大しOFF電流は小さくなる。またスレッショルド電圧も小さくなりトランジスタ特性が大きく改善される。NチャネルとPチャネルとの特性の不釣り合いさも改善される。

【0026】非晶質絶縁基板上に優れた特性の薄膜トラ

(4)

ンジスタを作製することが可能となるので、ドライバー回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高速動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

【0027】本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本継ぎのような手数がかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

【0028】石英基板やガラス基板だけではなく、サファイア基板(Al_2O_3)あるいは $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、BP、 CaF_2 等の結晶性絶縁基板も用いることができる。

【0029】以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

【0030】固相成長法を例にとって本発明について説明したが、本発明は固相成長法ばかりではなく、LPCVD法やその他の方法で成膜したpoly-Si薄膜を利用して薄膜半導体装置を作成する場合にも応用することができる。

【図面の簡単な説明】

【図1】(a)から(e)は、本発明の実施例を示す薄膜トランジスタの工程断面図である。

【図2】(a)から(c)は、本発明の実施例を示す薄膜トランジスタの工程断面図である。

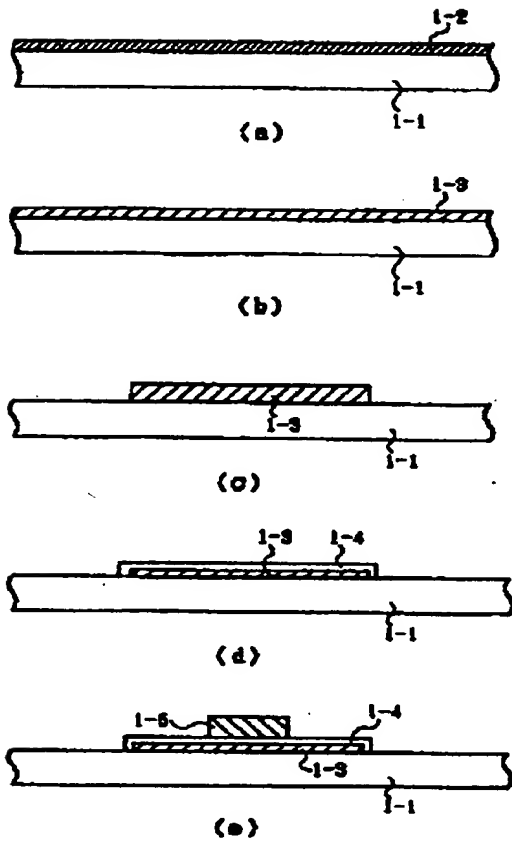
【図3】本発明の効果を示す薄膜トランジスタの特性図である。

【符号の説明】

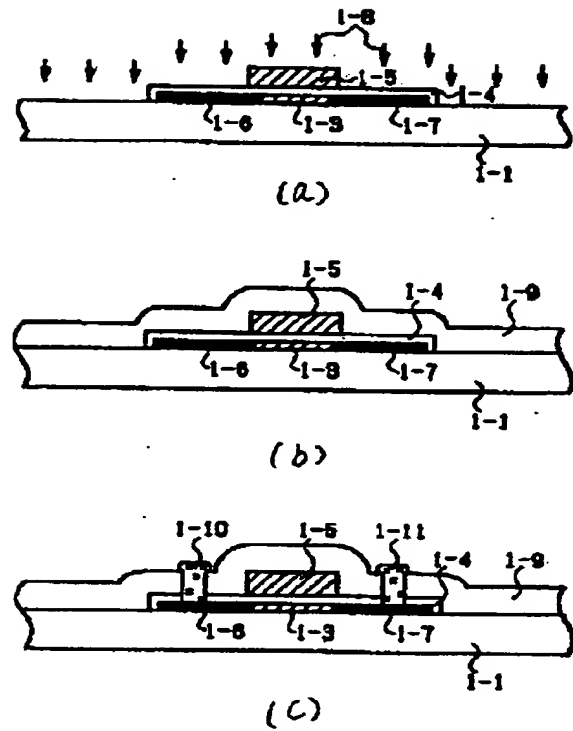
1-2 含有弗素量が $5 \times 10^{17} \text{ cm}^{-3}$ 以下の非晶質シリコン薄膜

1-3 固相成長させたシリコン薄膜

【図1】



【図2】



【図3】

